



Home



List

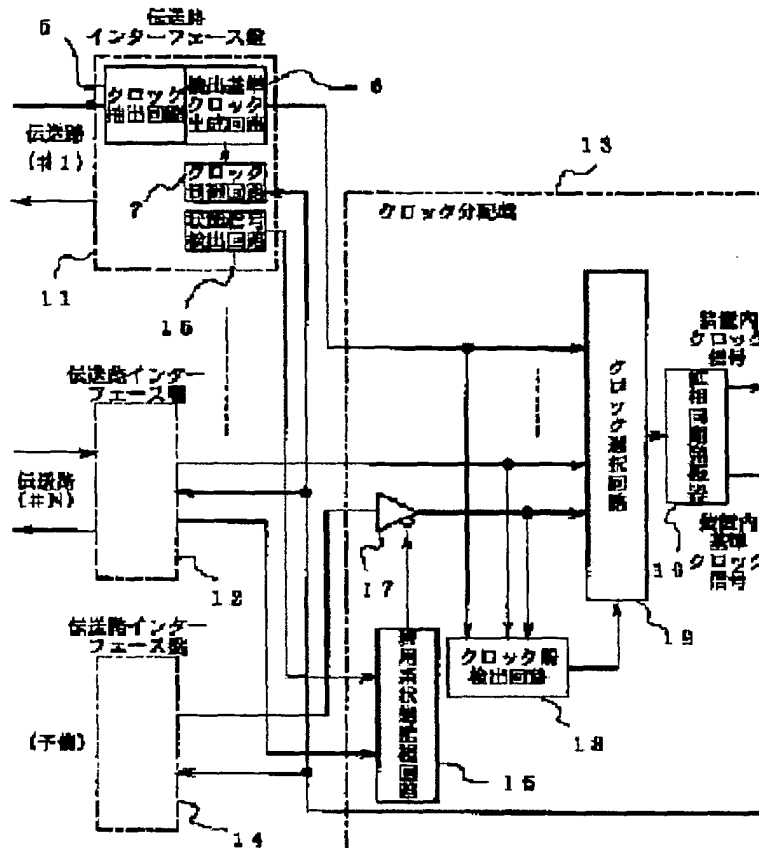
☐ Include

MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: US Granted US Applications EP-A JP ; Full patent spec.

Years: 2001-2003

Patent/Publication No.: JP2001044974


[Order This Patent](#)
[Family Lookup](#)
[Find Similar](#)
[Legal Status](#)
[Go to first matching text](#)

JP2001044974 A

STANDBY SYSTEM EXTRACTION CLOCK SELECTING CIRCUIT

TOYO COMMUN EQUIP CO LTD

Inventor(s): OYAMA KENJI

Application No. 11214478 JP11214478 JP, Filed 19990729, A1 Published 20010216 Published 20010216

Abstract PROBLEM TO BE SOLVED: To make the selection priority of a preliminary transmission line interface panel having a cut back operation the lowest when selecting an extraction reference clock signal.

SOLUTION: This device consists of the 1st to N-th transmission line interface panels 11 and 12 which respectively house transmission lines from #1 to #N lines and extract a clock signal from received data, a clock distribution panel 13 generating an intra-clock signal and a transmission line interface panel 14 to be a preliminary package. Further, the transmission line interface panels are provided with a clock extraction circuit 5, an extraction reference clock generation circuit 6, a clock control circuit 7 and a state signal detection circuit 15. The panel 13 is provided with an

active system state monitoring circuit 16, an enable circuit 17, a clock disconnection detection circuit 18, a clock selection circuit 19 and a phase synchronous oscillator 10.

Int'l Class: H04L00700; H04L00122 H04L00702

Patents Citing this On : No US, EP, or WO patents/search reports have cited this patent. MicroPatent Reference Number: 000044955

COPYRIGHT: (C) 2001 JPO



Home



List

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-44974
(P2001-44974A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 4 L 7/00		H 0 4 L 7/00	H 5 K 0 1 4
1/22		1/22	Z 5 K 0 4 7
7/02		7/02	Z

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平11-214478

(22) 出願日 平成11年7月29日 (1999.7.29)

(71) 出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72) 発明者 尾山 健二

神奈川県高座郡寒川町小谷2丁目1番1号

東洋通信機株式会社内

Fターム(参考) 5K014 AA01 FA01

5K047 GG07 GG08 GG43 KK05 KK18

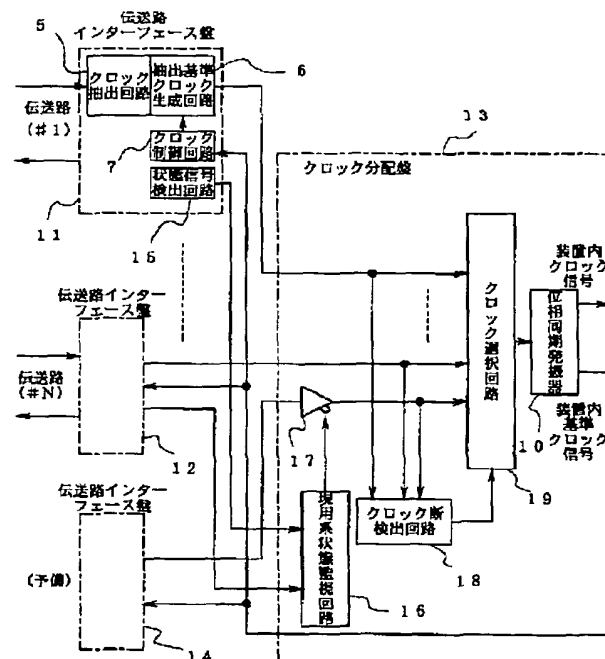
MM49

(54) 【発明の名称】 予備系抽出クロック選択回路

(57) 【要約】

【課題】 抽出基準クロック信号の選択時に、切り戻し動作のある予備の伝送路インターフェース盤の選択優先順位を最下位とする予備系抽出クロック選択回路を提供することを目的とする。

【解決手段】 # 1 から # N 回線までの伝送路を夫々収容し受信データからクロック信号を抽出する第一の伝送路インターフェース盤 1 1 から第 N の伝送路インターフェース盤 1 2 と、装置内クロック信号を生成するクロック分配盤 1 3 と、予備パッケージとなる伝送路インターフェース盤 1 4 とにより構成する。更に、伝送路インターフェース盤については、クロック抽出回路 5 と、抽出基準クロック生成回路 6 と、クロック制御回路 7 と、状態信号検出回路 1 5 とを備えている。クロック分配盤 1 3 は、現用系状態監視回路 1 6 と、イネーブル回路 1 7 と、クロック断検出回路 1 8 と、クロック選択回路 1 9 と、位相同期発振器 1 0 とを備えている。



【特許請求の範囲】

【請求項1】 伝送路より入力した受信データからクロック信号を抽出し抽出基準クロック信号生成機能を備えた複数の現用系インターフェース回路ならびに少なくとも一つの予備系インターフェース回路と、前記複数の現用系インターフェース回路から出力される抽出基準クロック信号の信号断監視を行い一つの基準クロック信号を定められた手順により選択するクロック断検出及びクロック選択機能と前記選択した基準クロック信号を用い複数の装置内クロック信号を生成する位相同期発振機能とを備えたクロック分配回路において、前記複数の現用系インターフェース回路が出力する運用状態検出信号を監視して現用系インターフェース回路の運用数が残り一つとなったことを検出する現用系状態監視機能と、前記予備系インターフェース回路が出力する抽出基準クロック信号の有効及び無効を制御するイネーブル機能とを設け、現用系インターフェース回路が全て障害となった時のみ前記予備系インターフェース回路の抽出基準クロック信号を選択したことを特徴とする予備系抽出クロック選択回路。

【請求項2】 伝送路を介して受信した受信データからクロック信号を抽出するクロック抽出回路と、該抽出されたクロック信号に基づきクロック信号を生成する抽出基準クロック生成回路と、該抽出基準クロック生成回路出力を制御するクロック制御回路と、伝送路インターフェース盤の運用状態を検出する状態信号検出回路とをそれぞれ備えた複数の現用系伝送路インターフェース盤と、伝送路を介して受信した受信データからクロック信号を抽出するクロック抽出回路と、該抽出されたクロック信号に基づきクロック信号を生成する抽出基準クロック生成回路と、該抽出基準クロック生成回路出力を制御するクロック制御回路とを備えた少なくとも一つの予備系伝送路インターフェース盤と、前記現用系伝送路インターフェース盤及び予備系伝送路インターフェース盤からのクロック信号を入力し、クロック信号の状態を検出するクロック断検出回路と、前記クロック信号のうち所定のクロック信号を選択するクロック選択回路と、クロック選択回路出力に基づきクロック信号を生成する位相同期発振器と、前記現用系伝送路インターフェース盤に設けた状態信号検出回路出力に基づき、予備系伝送路インターフェース盤から供給されるクロック信号を有効または無効とする現用系状態監視回路及びイネーブル回路とを備え、現用系伝送路インターフェース盤出力の何れかが正常に動作している限り予備系伝送路インターフェース盤出力を無効とするように前記イネーブル回路を作動させたことを特徴とする予備系抽出クロック選択回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明はデジタル通信網に用いられる予備系抽出クロック選択回路に関し、特に伝送装置等の同期方式に従属モードとしている時に、予備系のクロック抽出回路を設け、障害発生時における現用系及び予備系のクロック抽出回路の切替方法を決定する予備系抽出クロック選択回路に関する。

【0002】

【従来の技術】デジタル通信における網同期方式は、デジタル通信網を構築する上で不可欠な技術である。その中で、従属同期方式は上位局から伝送された受信データからクロック信号を下位局にて抽出し、自局のクロック信号とする方式であって、一般的なクロック信号生成方式である。また、クロック信号は複数の上位局と接続した各伝送路から抽出し、抽出したクロック信号に優先順位を定め、所望の抽出クロック信号を基準クロック信号として選択し、装置内クロック信号を生成する。

【0003】図2に、従来の予備系抽出クロック選択回路の構成図を示す。なお、同図はクロック信号の流れに関する構成要素のみを示しており、#1から#N回線までの伝送路を介して受信される受信データからクロック信号の抽出を行っている。また、クロック信号抽出を行っている伝送路インターフェース盤として、障害時に切り替えて使用するための予備の伝送路インターフェース盤を備えている。従来の予備系抽出クロック選択回路は、#1回線伝送路からの受信データを入力し、該受信データからクロック信号を抽出する第一伝送路インターフェース盤1と、該第一伝送路インターフェース盤1と同様に#N回線伝送路の受信データからクロック信号を抽出する第Nの伝送路インターフェース盤2と、予備パッケージ伝送路インターフェース盤4と、各伝送路インターフェース盤から供給されるクロック信号を入力するクロック分配盤3とにより構成する。

【0004】各伝送路インターフェース盤1、2及び4は、伝送路の受信データからクロック信号を抽出するクロック抽出回路5と、抽出基準クロック信号を生成する抽出基準クロック生成回路6と、抽出基準クロック信号の位相を制御するクロック制御回路7とを備える。一方、クロック分配盤3は、各伝送路インターフェース盤が出力する複数の抽出基準クロック信号を監視し、抽出基準クロック信号を定められた手順により選択運用するクロック断検出回路8と、クロック断検出回路8の制御により選択する抽出基準クロック信号を切り替えるクロック選択回路9と、選択した基準クロック信号を基に装置内において必要な複数の装置内クロック信号を生成する位相同期発振器10とを備えている。

【0005】上記のように構成した予備系抽出クロック選択回路は、各伝送路（#1乃至#N）に対応して設けられている各伝送路インターフェース盤（第一伝送路イ

ンターフェース盤1乃至第N伝送路インターフェース盤2)において、伝送されてきた受信データからパルスの繰り返し成分を抽出してクロック信号とし、更に抽出したクロック信号を分周して装置に必要な抽出基準クロック信号を生成してクロック分配盤3に出力する。また、各伝送路インターフェース盤から出力される抽出基準クロック信号はクロック分配盤3からの制御信号により、現在選択されて運用している基準クロック信号の位相に同期している。

【0006】クロック分配盤3においては、各伝送路インターフェース盤が出力する抽出基準クロック信号を監視し、その結果から定められた手順に従って基準クロック信号を選択する。選択した基準クロック信号は位相同期発振器10に入力し複数の装置内クロック信号を生成し、装置内に分配する。一方、現用系の伝送路インターフェース盤の出力に異常が生ずると、予備の伝送路インターフェース盤に切り換え、現用系の障害が復旧すると元に切り戻す。

【0007】

【発明が解決しようとする課題】しかしながら、従来の予備系抽出クロック選択回路においては次のような問題点が生じていた。すなわち、従来の基準クロック信号の選択方法として採用されている切り換え方式は、ラウンドロビン形式と呼ばれるもので、(N系統の現用+1系統の予備)の抽出基準クロック信号から運用に使用する抽出基準クロック信号を選択する場合、1系統→2系統→・・・→N系統→予備→1系統のように自己障害が発生する毎に現用系の抽出基準クロック信号抽出元系統を切換え、最後に予備系を選択した後に予備系の障害が生ずると再び1系統の抽出基準クロック信号に戻り、以降、前述のように選択動作を繰り返すものである。

【0008】例えば、現用系伝送路インターフェース盤が全て正常に作動している時であって、かつ#N回線伝送路に接続した伝送路インターフェース盤から抽出基準クロック信号を選択している際に、該#N回線伝送路に接続した伝送路インターフェース盤の出力に障害が発生すると、#N回線伝送路がリレーにより予備系伝送路インターフェース盤に接続するよう切り替わり、かつ、予備系伝送路インターフェース盤からの抽出基準クロック信号が選択される。したがって、予備系伝送路インターフェース盤から出力される抽出基準クロック信号が立ち上がるまで所定の時間がかかり、正常に作動している他の現用系回路に影響を与え、主信号にエラーを生じるという問題点があった。本発明は、上述したような従来の予備系抽出クロック選択回路の問題を解決するためになされたものであって、抽出基準クロック信号の選択時に、切り戻し動作のある予備の伝送路インターフェース盤の選択優先順位を最下位とする予備系抽出クロック選択回路を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために本発明に係る予備系抽出クロック選択回路の請求項1記載の発明は、伝送路より入力した受信データからクロック信号を抽出し抽出基準クロック信号生成機能を備えた複数の現用系インターフェース回路ならびに少なくとも一つの予備系インターフェース回路と、前記複数のインターフェース回路から出力される抽出基準クロック信号の信号断監視を行い一つの基準クロック信号を定められた手順により選択するクロック断検出及びクロック選択機能と前記選択した基準クロック信号を用い複数の装置内クロック信号を生成する位相同期発振機能とを備えたクロック分配回路において、前記複数の現用系インターフェース回路が出力する運用状態検出信号を監視して現用系インターフェース回路の運用数が残り一つとなったことを検出する現用系状態監視機能と、前記予備系インターフェース回路が出力する抽出基準クロック信号の有効及び無効を制御するイネーブル機能とを設け、現用系インターフェース回路が全て障害となった時のみ前記予備系インターフェース回路の抽出基準クロック信号を選択した。

【0010】本発明に係る予備系抽出クロック選択回路の請求項2記載の発明は、伝送路を介して受信した受信データからクロック信号を抽出するクロック抽出回路と、該抽出されたクロック信号に基づきクロック信号を生成する抽出基準クロック生成回路と、該抽出基準クロック生成回路出力を制御するクロック制御回路と、伝送路インターフェース盤の運用状態を検出する状態信号検出回路とをそれぞれ備えた複数の現用系伝送路インターフェース盤と、伝送路を介して受信した受信データからクロック信号を抽出するクロック抽出回路と、該抽出されたクロック信号に基づきクロック信号を生成する抽出基準クロック生成回路と、該抽出基準クロック生成回路出力を制御するクロック制御回路とを備えた少なくとも一つの予備系伝送路インターフェース盤と、前記現用系伝送路インターフェース盤及び予備系伝送路インターフェース盤からのクロック信号を入力し、クロック信号の状態を検出するクロック断検出回路と、前記クロック信号のうち所定のクロック信号を選択するクロック選択回路と、クロック選択回路出力に基づきクロック信号を生成する位相同期発振器と、前記現用系伝送路インターフェース盤に設けた状態信号検出回路出力に基づき、予備系伝送路インターフェース盤から供給されるクロック信号を有効または無効とする現用系状態監視回路及びイネーブル回路とを備え、現用系伝送路インターフェース盤出力の何れかが正常に動作している限り予備系伝送路インターフェース盤出力を無効とするように前記イネーブル回路を作動させた。

【0011】

【発明の実施の形態】以下、図示した実施例に基づいて本発明を詳細に説明する。図1は、本発明による予備系

抽出クロック選択回路の一実施例を示す構成図であり、クロック信号の流れに関する構成要素のみを示す。予備系抽出クロック選択回路は伝送路#1から伝送路#Nまでの各伝送路を介して送信された受信データからクロック信号の抽出を行っており、クロック信号抽出を行っている伝送路インターフェース盤については、障害時に切り替えて使用するため、予備の伝送路インターフェース盤を備えている。

【0012】本発明に係る予備系抽出クロック選択回路は、#1伝送路からの受信データを入力し、該受信データからクロック信号を抽出する第一伝送路インターフェース盤11と、第一伝送路インターフェース盤と同様の構成で#N伝送路からの受信データからクロック信号を抽出する第N伝送路インターフェース盤12と、予備パッケージとなる伝送路インターフェース盤14と、各伝送路インターフェース盤から供給されるクロック信号を入力するクロック分配盤13とにより構成する。各伝送路インターフェース盤11及び12は各伝送路の受信データからクロック信号を抽出するクロック抽出回路5と、抽出基準クロック信号を生成する抽出基準クロック生成回路6と、抽出基準クロック信号の位相を制御するクロック制御回路7と、現用系の伝送路インターフェース盤の運用状態を検出する状態信号検出回路15とを備えている。

【0013】一方、クロック分配盤13は現用系の伝送路インターフェース盤の状態信号検出出力を入力し、予備の伝送路インターフェース盤14の抽出基準クロック信号の出力を制御する現用系状態監視回路16（現用系状態監視機能）と、予備の伝送路インターフェース盤14の抽出基準クロック信号の出力を有効／無効に切り替えるイネーブル回路17（イネーブル機能）と、各伝送路インターフェース盤が出力する抽出基準クロック信号の信号断を監視し、その結果から定められた手順に従って基準クロック信号を選択するクロック断検出回路18と、クロック断検出回路18の制御により抽出基準クロック信号を選択するクロック選択回路19と、選択した基準クロック信号を基に装置内において必要な複数の装置内クロック信号を生成する位相同期発振器10とを備えている。

【0014】このように構成した予備系抽出クロック選択回路において、各伝送路に対応して設けられている第一伝送路インターフェース盤11乃至第N伝送路インターフェース盤12の各クロック抽出回路5で伝送されてきた受信データからパルスの繰り返し成分を抽出してクロック信号とし、更に、抽出基準クロック生成回路6において前記抽出したクロック信号を分周して装置に必要な抽出基準クロック信号を生成しクロック分配盤13に出力する。また、クロック分配盤13にて選択されていない各伝送路インターフェース盤が出力する抽出基準クロック信号は、クロック分配盤13からの制御信号を受

け、クロック制御回路7により現在選択されて運用している基準クロック信号の位相に同期させている。各現用系の伝送路インターフェース盤には、各盤に運用状態を検出する状態信号検出回路15を備え、伝送路インターフェース盤の実装の有無と障害の有無とを示す信号を生成し、クロック分配盤13の現用系状態監視回路16に出力する。

【0015】クロック分配盤13においては、現用系状態監視回路16により第一乃至第N伝送路インターフェース盤の運用状態信号を監視し、伝送路インターフェース盤の実装数と障害の有無の数を比較し、現用系として運用している伝送路インターフェース盤の数が残り一パッケージか否かを監視する。そこで、現用系として運用している伝送路インターフェース盤（#1乃至#N伝送路インターフェース盤）の数が残り一パッケージとなると、予備の伝送路インターフェース盤が出力する抽出基準クロック信号を有効／無効に切り替えるイネーブル回路17を制御し、予備系伝送路インターフェース盤14より供給される抽出基準クロック信号を有効とする。従って、現用系伝送路インターフェース盤出力に障害が生じ、伝送路が予備系伝送路インターフェース盤に切り替わっても、他の現用系伝送路インターフェース盤出力が正常な限り予備系伝送路インターフェース盤からの抽出基準クロック信号はクロック選択回路に供給されず、現用系の伝送路インターフェース盤の運用数が残り一パッケージとなるまで無効である。

【0016】次に、クロック断検出回路18において、第一乃至第Nの伝送路インターフェース盤11、12及び予備の伝送路インターフェース盤14の各出力となる抽出基準クロック信号を監視し、その結果から定められた手順により基準クロック信号を生成するために必要な抽出基準クロック信号を選択する。本実施例においては、定められた順序としてラウンドロビン形式を採用しており、現用系の伝送路インターフェース盤の運用数が残り一パッケージになるまでは、1→2→・・・→N→1に示すように現用系の1番目の抽出基準クロック信号から自己障害が発生する毎に2番、3番と順次抽出基準クロック信号を選択し、現用系N番目の次は1番目に戻り、予備の伝送路インターフェース盤が出力する抽出基準クロック信号は選択されない。すなわち、現用系伝送路インターフェース盤の何れかが正常に動作している限り、伝送路の切り替えを伴う予備伝送路インターフェース盤からの抽出基準クロック信号は選択されない。

【0017】一方、現用系の伝送路インターフェース盤の運用数が残り一パッケージとなると、予備の伝送路インターフェース盤が出力する抽出基準クロック信号はイネーブル回路17の動作により有効となりクロック断検出回路18に入力されるため、有効な抽出基準クロック信号は現用系の1系統と予備系の1系統となる。従って、最後の現用系パッケージ（現用系伝送路インターフ

エース盤)に障害が発生したときのみ伝送路の切り替えが伴う予備系伝送路インターフェース盤からの抽出基準クロック信号が選択されるので、当該抽出基準クロック信号が立ち上がるまでに所定の時間がかかっても、他の現用系伝送路インターフェース盤は全て障害が発生中のため他の現用系回路に影響を与えない。また、予備の伝送路インターフェース盤は、現用系の伝送路インターフェース盤の障害が復旧すると元に切り戻されるが、この時も復旧した現用系伝送路インターフェース盤以外の現用系パッケージは全て障害発生中であり、切り戻し時に発生する他の現用系回路への影響は問題とならない。

【0018】次に、本発明による予備系抽出クロック選択回路において、選択した抽出基準クロック信号に障害が発生し他の抽出基準クロック信号に選択移動する場合について詳しく説明する。前述のように、選択する抽出基準クロック信号の選択移動は、ラウンドロビン形式により決められた優先順位に従って行われるが、選択した抽出基準クロック信号の障害とは次のようなものである。障害には、クロック分配盤のクロック断検出回路により検出する伝送路インターフェース盤の障害による出力断、伝送路インターフェース盤の抜去、予備の伝送路インターフェース盤の切り戻し等と、実施例には図示していないが伝送路インターフェース盤、クロック分配盤及び他のパッケージ等とバス接続しているCPUパッケージにより、ソフトウェアによる処理を行って各パッケージの故障を検出ものがある。

【0019】ソフトウェア処理によるものとしては、受信クロック信号の同期はずれ、伝送路からの受信データ断、AIS警報、保守点検のための選択移動等があり、これらの障害により選択している抽出基準クロック信号の選択移動が行われる時は、選択されていない他の全ての抽出基準クロック信号がクロック分配盤からの制御信号により、現在選択されて運用している装置内クロック信号の位相に同期させているため、主信号にエラーが発生することなく選択移動が行われる。一方、クロック断検出回路が検出する障害により選択している抽出基準クロック信号の選択移動が行われる時は、抽出基準クロック信号の信号断を検出してから選択先の抽出基準クロック信号を受信するまでに時間がかかり、その間抽出基準

クロック信号が失われるため主信号にエラーが発生する。

【0020】しかしながら、本発明にかかる抽出基準クロック信号の選択回路を用いることにより、現用系伝送路インターフェース盤出力の何れかが正常に作動している限り、伝送路の切り替えを伴う予備系伝送路インターフェース盤からの抽出基準クロック信号を選択しないので、他の現用系パッケージの主信号にエラーが生じることを防止することが可能となる。

【0021】

【発明の効果】本発明は上述したように抽出基準クロック信号の選択において、運用している現用系の伝送路インターフェース盤が最後の1パッケージとなるまで予備系の伝送路インターフェース盤の抽出基準クロック信号の選択を停止していることにより、予備の伝送路インターフェース盤の抽出基準クロック信号が選択される機会が少なくなり、予備の伝送路インターフェース盤から現用系の伝送路インターフェース盤への切り戻しに伴う他の現用系回路に与える影響を最小限にとどめることが出来るので、伝送システムを運用する上で大きな効果を発揮する。

【図面の簡単な説明】

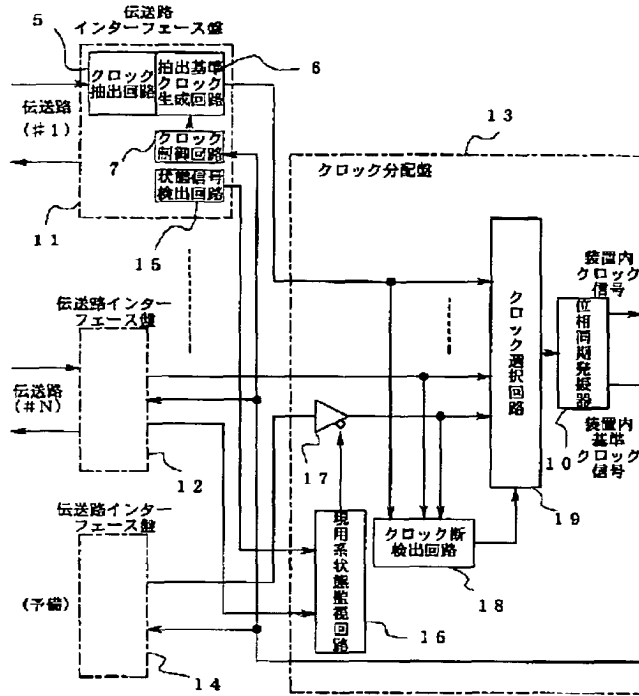
【図1】本発明による予備系抽出クロック選択回路の一実施例を示す構成図である。

【図2】従来の予備系抽出クロック選択回路の構成図を示す。

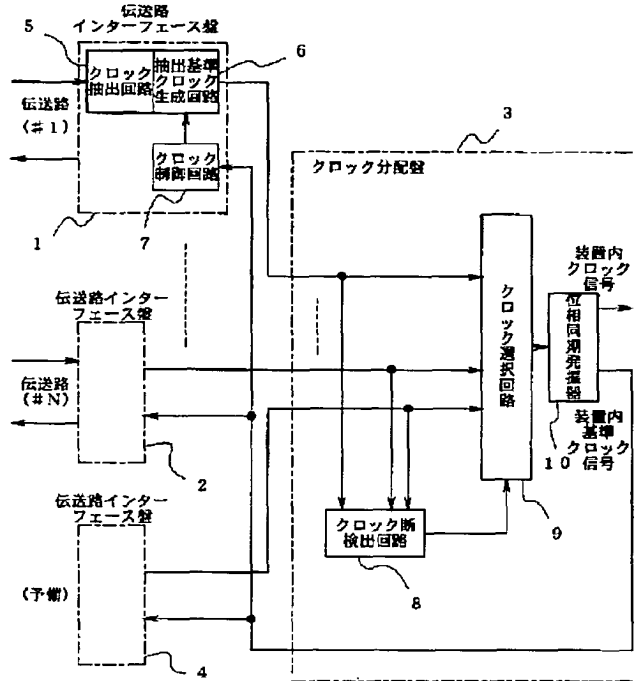
【符号の説明】

1・・・第一の伝送路インターフェース盤、 2・・・第Nの伝送路インターフェース盤、 3・・・クロック分配盤、 4・・・予備の伝送路インターフェース盤、 5・・・クロック抽出回路、 6・・・抽出基準クロック生成回路、 7・・・クロック制御回路、 8・・・クロック断検出回路、 9・・・クロック選択回路、 10・・・位相同期発振器、 11・・・第一の伝送路インターフェース盤、 12・・・第Nの伝送路インターフェース盤、 13・・・クロック分配盤、 14・・・予備の伝送路インターフェース盤、 15・・・状態信号検出回路、 16・・・現用系状態監視回路、 17・・・イネーブル回路、 18・・・クロック断検出回路、 19・・・クロック選択回路

【図1】



【図2】



MAXIM

Quad 2.5Gbps Cable Transceiver

General Description

The MAX3780 cable transceiver provides a bidirectional interface of four 2.5Gbps channels over low-cost copper cable or external fiber-optic interface. The transmitter section accepts eight channels of input at 1.25Gbps. An integrated 4-bit FIFO allows retiming of the transmit data to a clean local reference clock. The channels are multiplexed (2:1) into four outputs operating at 2.5Gbps. Pre-emphasis and equalization provide compensation for losses in low-cost cables up to 3m. The receiver recovers the clock and demultiplexes (1:2) the 2.5Gbps channels into eight 1.25Gbps outputs. Fully integrated phase-locked loops and delay-locked loops recover clock and data from the serial data inputs.

The transceiver IC is available in a compact 100-pin TQFP package with exposed-ground pad and consumes 22W.

Applications

- Gigabit Ethernet Cable Backplane Concentration
- System Interconnects Using Low-Cost Copper Cable
- System Interconnects Using Parallel Optics

Features

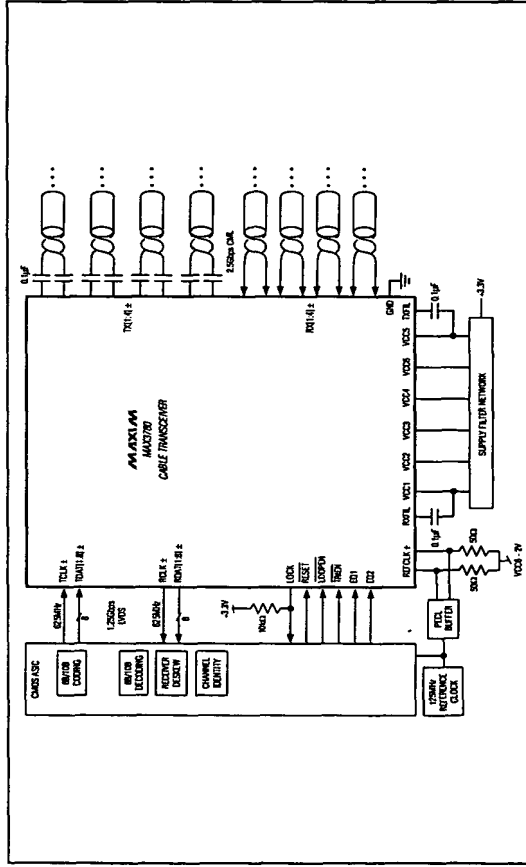
- Quad 2:1 Channel Serialization
- Quad 1:2 Channel Deserialization
- 3m Link Distance with Low-Cost Copper Cable
- Better than 10⁻¹⁶ BER Performance
- 10Gbps Aggregate Parallel Interface
- System Loopback
- 1.25Gbps LVDS Synchronous Interface
- 2.5Gbps CML Serial Cable Interface
- PLL Lock Detect Signal
- Selectable Cable Pre-Emphasis
- Fixed Receive Equalization

Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX3780CQ	0°C to +70°C	100 TQFP-EP*

*Exposed pad

Typical Operating Circuit



MAX3780

Quad 2.5Gbps Cable Transceiver

ABSOLUTE MAXIMUM RATINGS

Supply Voltage (Vcc1, Vcc2, Vcc3, Vcc4, Vcc5, Vcc6, VCCTEMP)	-0.5V to +4.0V	TTL Input or Output Voltage	-0.5V to (Vcc + 0.5V)
Continuous CML Output Current (duration < 1 minute, +25°C)	-10mA to +25mA	PECL Input Voltage	-0.5V to (Vcc + 0.5V)
Operating Ambient Temperature Range	0°C to +70°C	TPMSEN, TXFL, RXFL Voltage	-0.5V to (Vcc + 0.5V)
Operating Junction Temperature Range	0°C to +150°C	Operating Ambient Temperature Range	0°C to +70°C
CML Input Voltage	-0.5V to (Vcc + 0.5V)	Operating Junction Temperature Range	0°C to +150°C
LVDS Input and Output Voltage	-0.5V to (Vcc + 0.5V)	Storage Ambient Temperature Range	-55°C to +100°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(Vcc = +3.0V to +3.6V, LVDS differential load = 100Ω ±1%, CML differential load = 100Ω ±1%, Ta = 0°C to +70°C, unless otherwise noted. Typical values are at Vcc = +3.3V and Ta = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	Vcc	Referenced to GND	3.0	3.3	3.6	V
Operating Ambient Temperature	Ta		0	25	70	°C
Power Dissipation			1.6	2.2	3.3	W
Supply Current	Icc		533	665	916	mA
TTL INPUTS AND OUTPUTS						
TTL Input High Voltage	Vih		2.0			V
TTL Input Low Voltage	Vil				0.8	V
TTL Input High Current	Iih	Vih = 2.0V			-250	µA
TTL Input Low Current	Iil	Vil = 0V			-500	µA
TTL Output High Voltage	VOH	Open collector, RLOAD = 10kΩ	2.4			V
TTL Output Low Voltage	VOL	RLOAD = 10kΩ			0.4	V
PECL INPUTS						
PECL Input High Voltage		Referenced to Vcc6	-1165		-880	mV
PECL Input Low Voltage		Referenced to Vcc6	-1810		-1475	mV
PECL Input Current			-10		+10	µA
CML INPUTS (Note 1, Figure 5)						
Differential Input Voltage Range		Total differential signal required to achieve error rate	200		800	mV/p-p
Single-Ended Input Voltage Range		Single-ended range of a differential input signal	Vcc - 0.5		Vcc + 0.2	V
Common-Mode Voltage		Inputs open or AC-coupled			Vcc	V
Input Impedance	Rin	Differential	85	100	115	Ω
CML OUTPUTS (Note 1, Figure 4)						
Differential Output Voltage (Measured at the End of the Channel) (Note 3)		0m channel, EO1 = 1, EO2 = 1	400		600	800
		0.5m channel, EO1 = 1, EO2 = 1			540	
		1m channel, EO1 = 1, EO2 = 0			500	
		3m channel, EO1 = 0, EO2 = 1			400	

Quad 2.5Gbps Cable Transceiver

DC ELECTRICAL CHARACTERISTICS (continued)

(VCC = +3.0V to +3.6V, LVDS differential load = 100Ω ±1%, CML differential load = 100Ω ±1%, TA = 0°C to +70°C, unless otherwise noted. Typical values are at VCC = +3.3V and TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Common-Mode Voltage		VCC - 0.3				V
Differential Output Impedance	ROUT		85	100	115	Ω
LVDS INPUTS						
Input Voltage Range	VI	IVDD ≤ 925mV	0		2000	mV
Differential Input Voltage	IVDl	IVDD ≤ 925mV	150		500	mV
Differential Input Impedance	RIN		85	100	115	Ω
Input Common-Mode Current		VOS = 1.2V, inputs tied together	-80		-200	μA
LVDS OUTPUTS (Note 2)						
Output High Voltage	VOH			0.925	1.475	V
Output Low Voltage	VOL			250	400	mV
Differential Output Voltage	IVDl				25	mV
Change in Magnitude of Differential Output Voltage for Complementary States	ΔIVDl				1.125	V
Output Offset Voltage	VOS				25	mV
Change in Magnitude of Output Offset Voltage for Complementary States	ΔVOSl				80	Ω
Differential Output Impedance	ROUT				40	mA
Short-Circuit Current		Short to supply or ground			5	10
Impedance When Disabled		TRIPEN = 0				kΩ

Note 1: CML differential signal amplitudes are specified as the total signal across the load (VA - V-).

Note 2: LVDS output signal amplitudes are specified according to IEEE 1596.3-1996.

Note 3: Differential output voltage is production tested for all EQ1 and EQ2 settings. Typical values are the differential peak-to-peak eye opening at the end of the cable.

AC ELECTRICAL CHARACTERISTICS

(VCC = +3.0V to +3.6V, LVDS differential load = 100Ω ±1%, CML differential load = 100Ω ±1%, TA = 0°C to +70°C, REFCLK = 125MHz, unless otherwise noted. Typical values are at VCC = +3.3V and TA = +25°C.) (Note 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TRANSMITTER PARAMETERS						
TCLK Frequency				625		MHz
Transmitter Latency		From TDATA to TX		4.5		ns
LVDS INPUTS						
Accumulated Phase Error at TCLK		Relative to REFCLK		±0.8		ns

MAX3780

MAX3780

Quad 2.5Gbps Cable Transceiver

AC ELECTRICAL CHARACTERISTICS (continued)

(VCC = +3.0V to +3.6V, LVDS differential load = 100Ω ±1%, CML differential load = 100Ω ±1%, TA = 0°C to +70°C, REFCLK = 125MHz, unless otherwise noted. Typical values are at VCC = +3.3V and TA = +25°C.) (Note 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Setup Time	tSU	Figure 1		100		ps
Hold Time	tH	Figure 1		100		ps
CML OUTPUTS						
Deterministic Jitter		(Note 5)		15	25	ps-p
Random Jitter		Wideband jitter with 0.1 pattern (Note 7)		22	66	ps-p
Edge Speed	tr, tr	20% to 80%, measured at transmitter output, (EQ1 = 1, EQ2 = 1)			140	ps
RECEIVER PARAMETERS						
Clock Frequency				625		MHz
PLL Lock Time		After valid data applied		525		μs
Receiver Latency		From RX to RDAT		4.3		ns
Jitter Generation		(Note 7)		25	66	ps-p
LVDS OUTPUTS						
Clock Duty-Cycle Distortion	TPW	Variation of 50% crossing from ideal time	-32		+32	ps
Deterministic Jitter		Measured with K28.5 pattern at RDAT_ outputs		15	50	ps-p
Edge Speed	tr, tr	20% to 80%		160	250	ps
Clock-to-Data Delay	TCLK-Q	Figure 2		268	400	532
CML INPUTS						
High-Frequency Jitter Tolerance		(Note 6)		220	300	ps-p

Note 4: AC characteristics are guaranteed by design and characterization.

Note 5: Deterministic jitter (DJ) and differential output signal measured with K28.5 at TX_ pins.

Note 6: High-frequency jitter comprised of 164ps-p of deterministic jitter, 1.6psRMS random jitter, and the remaining as 5MHz sinusoidal jitter.

Note 7: Peak-to-peak random jitter is 16.4 x RMS jitter for a jitter probability of 10⁻⁶.

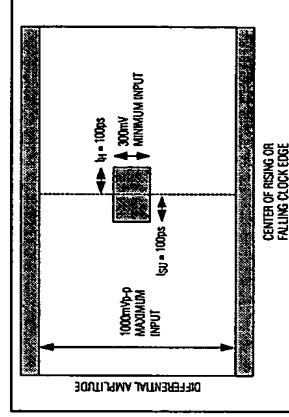


Figure 1. LVDS Receiver Input Eye Mask

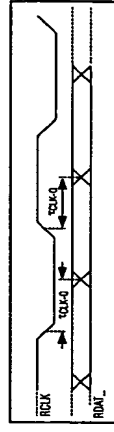
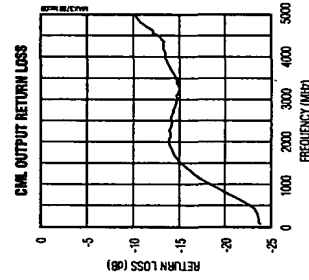
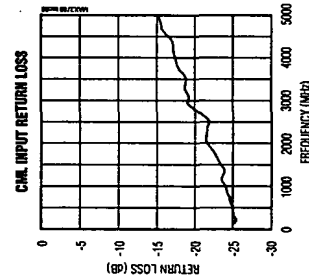
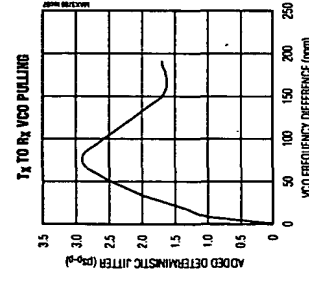
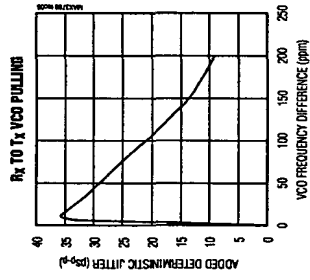
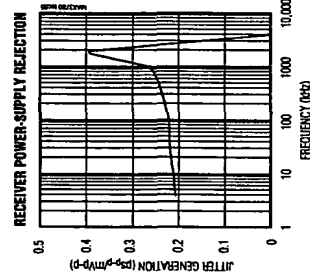
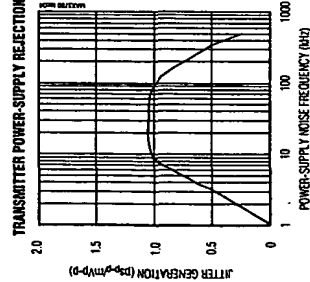
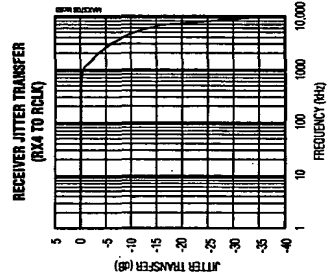
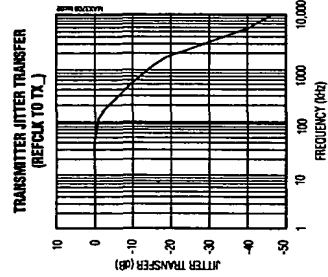
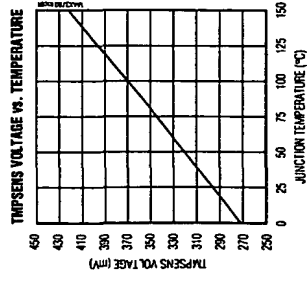


Figure 2. Definition of Clock-to-Q Delay

Quad 2.5Gbps Cable Transceiver

Typical Operating Characteristics

(VCC = +3.3V, TA = +25°C, unless otherwise noted.)



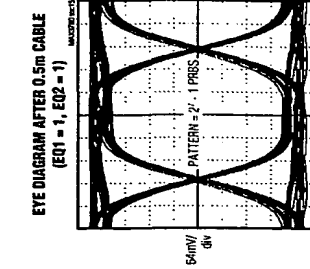
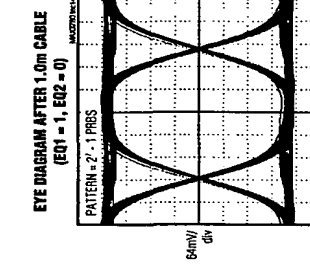
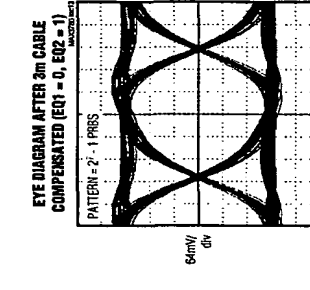
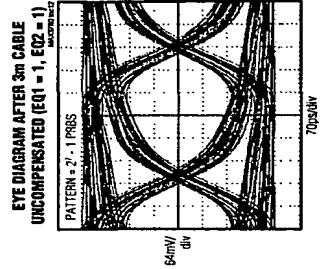
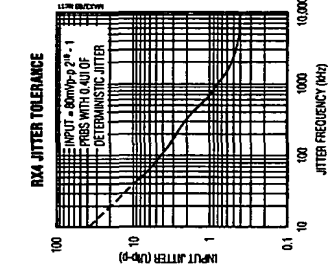
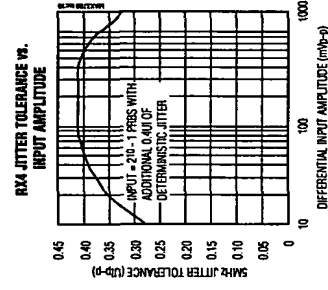
MAX3780

MAX3780

Quad 2.5Gbps Cable Transceiver

Typical Operating Characteristics (continued)

(VCC = +3.3V, TA = +25°C, unless otherwise noted.)



Quad 2.5Gbps Cable Transceiver

Pin Description

PIN	NAME	FUNCTION
1, 12, 25, 26, 28, 31, 45, 50, 51, 55, 63, 71, 75, 76, 80, 100	GND	Supply Ground
2, 11, 24	VCC1	+3.3V Supply for Receiver, LVDS Data and Clock Outputs, and Digital Receiver Functions
3, 5, 7, 9, 13, 15, 17, 19	RDAT1+ to RDAT8+	Positive Parallel-Data Outputs, LVDS
4, 6, 8, 10, 14, 16, 18, 20	RDAT1- to RDAT8-	Negative Parallel-Data Outputs, LVDS
21	RCLK+	Positive 625MHz Recovered Clock, LVDS. Parallel-data outputs are clocked on both the rising and falling edge of the clock.
22	RCLK-	Negative 625MHz Recovered Clock, LVDS. Parallel-data outputs are clocked on both the rising and falling edge of the clock.
23	TRIEN	Three-State Enable, TTL Input. Setting TRIEN low forces the LVDS outputs into a high-impedance state and the LOCK pin to a logical '1'. CML outputs are not affected by TRIEN. Internally pulled high through 15kΩ.
27	LOCK	Lock Status Indicator, TTL Output. This output goes high when the transmit PLL, receiver PLL, and receiver DLLs are in lock. Because this output is open-collector TTL, it requires an external 10kΩ pullup resistor to VCC. The LOCK pins from multiple MAX3780s can be connected in parallel to form a single LOCK signal.
29	RXFIL	Receiver Loop Filter Connection. Connect a 0.1μF capacitor between RXFIL and VCC2.
30	VCC2	+3.3V Supply for Receiver VCO, Analog Receiver Functions, and External Loop Filter Connection
32, 35, 38, 41, 44	VCC3	+3.3V Supply for CML Inputs
33, 36, 39, 42	RX4- to RX1-	Negative Serial Input, CML
34, 37, 40, 43	RX4+ to RX1+	Positive Serial Input, CML
46, 79, 99	VCC6	+3.3V Supply for LVDS Inputs, FIFO, Multiplexer, and PECL REFCLK Input
47	LOOPEN	Loopback Enable, TTL Input. Force low to enable system loopback. Internally pulled high through 15kΩ.
48	VCCTEMP	+3.3V Supply for TMPSENS. Connect to ground to disable the temperature-sensing circuit.
49	TMPSENS	Junction Temperature Sensor. Analog output corresponding to the junction temperature of the die. Leave open for normal use.
52	PTPIN	Reserved for Maxim Use. Connect to ground for normal operation.
53	EQ2	Transmit Equalizer Control Input #2, TTL. Refer to Table 1 for setting transmitter precompensation. Internally pulled high.
54	EQ1	Transmit Equalizer Control Input #1, TTL. Refer to Table 1 for setting transmitter precompensation. Internally pulled high.
56, 59, 62, 64, 67, 70	VCC4	+3.3V Supply for CML Outputs

Quad 2.5Gbps Cable Transceiver

Pin Description (continued)

PIN	NAME	FUNCTION
57, 60, 65, 68	TX4- to TX1-	Negative Serial Output, CML
58, 61, 66, 69	TX4+ to TX1+	Positive Serial Output, CML
72	RESET	Reset Input, TTL. Connect low for >80ns to reset FIFO and receiver components. Internally pulled high through 15kΩ.
73	TXFIL	Transmitter Loop Filter Connection. Connect a 0.1μF capacitor between TXFIL and VCC5.
74	VCC5	+3.3V Supply for Transmitter VCO, Analog Transmitter Functions, and External Loop Filter Connection
77	REFCLK+	Positive Reference Clock Input, PECL
78	REFCLK-	Negative Reference Clock Input, PECL
81	TCLK+	Positive Clock Input for Transmitter Input Data, LVDS
82	TCLK-	Negative Clock Input for Transmitter Input Data, LVDS
83, 85, 87, 89, 91, 93, 95, 97	TDAT1+ to TDAT8+	Positive Parallel Data Inputs, LVDS
84, 86, 88, 90, 92, 94, 96, 98	TDAT1- to TDAT8-	Negative Parallel Data Inputs, LVDS

Detailed Description

The MAX3780 cable transceiver uses four 2:1 muxes and four 1:2 demuxes to simplify backplane routing. The serial transceiver interface can either be a fiber module or up to 3m of low-cost, twisted-pair copper cable. This bidirectional interface provides low-voltage differential signaling (LVDS) interfaces at the 1.25Gbps parallel inputs and outputs. The serial data inputs and outputs utilize current-mode logic (CML) structures. An integrated PLL recovers the clock from the incoming serial data, as well as retimes the received data.

The serial interface uses both precompensation as well as equalization to allow high-speed transmission through up to 3m of copper cable while maintaining a BER < 10⁻¹⁶. The compensation/equalization circuits are optimized for short cables, 0.5m cables, 1m cables, or 3m cables. TTL inputs are provided to select the amount of precompensation.

LVDS Inputs and Outputs

The MAX3780 parallel interface includes eight differential data inputs at 1.25Gbps, one half-rate differential clock input at 625MHz, eight differential data outputs at 1.25Gbps, and one half-rate differential clock output at 625MHz. All parallel inputs and outputs are LVDS compatible to minimize power dissipation, speed transition time, and improve noise immunity. The LVDS outputs

go into a high-impedance state when TRIEN is forced low. This simplifies system checks by allowing vectors to be forced on the LVDS outputs. The LVDS outputs also have short-circuit protection in case of shorts to VCC or GND.

PLL Clock Multiplier

The PLL clock multiplier uses the 125MHz reference clock to synthesize 1.25GHz and 2.5GHz clocks used to synchronize the transmitter functions. The reference clock is also used to aid frequency acquisition in the receiver. The 125MHz input signal at REFCLK requires a duty cycle between 40% and 60%. To achieve proper jitter performance and BER benchmarks, it is critical to use a high-quality, low-jitter reference clock. See the *Reference Clock Requirements* table for more information.

Bit-Interleaved Multiplexer/Demultiplexer

The MAX3780 uses bit interleaving to multiplex the parallel data and bit deinterleaving to demultiplex the serial data. After serial transmission, the channel assignment of the parallel outputs is random for each serial channel. In other words, there is a 50% chance that RDAT1 = TDAT1 and RDAT2 = TDAT2 and a 50% chance that RDAT1 = TDAT2 and RDAT2 = TDAT1. Because the MAX3780 does not perform channel assignment, other circuitry must handle this task.

MAX3780

MAX3780

Quad 2.5Gbps Cable Transceiver

MAX3780

Table 1. Setting the CML Output Precompensation

RECOMMENDED CHANNEL	PRECOMPENSATION VALUE	EQ1	EQ2
Extended Range	30%	0	0
3m Cable	20%	0	1
1m Cable	10%	1	0
0.5m Cable or Fiber Module	Off	1	1

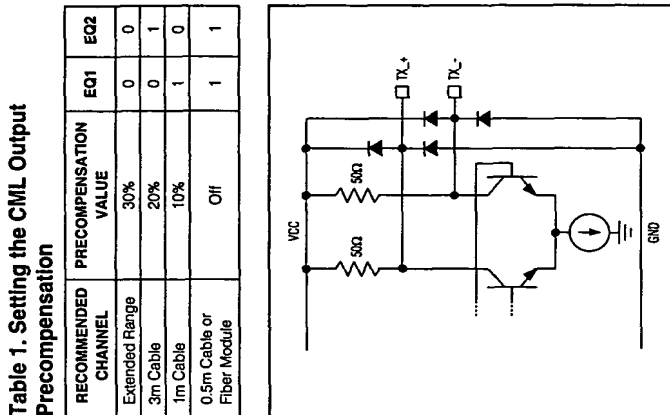


Figure 4. Simplified CML Output Structure

MAX3780

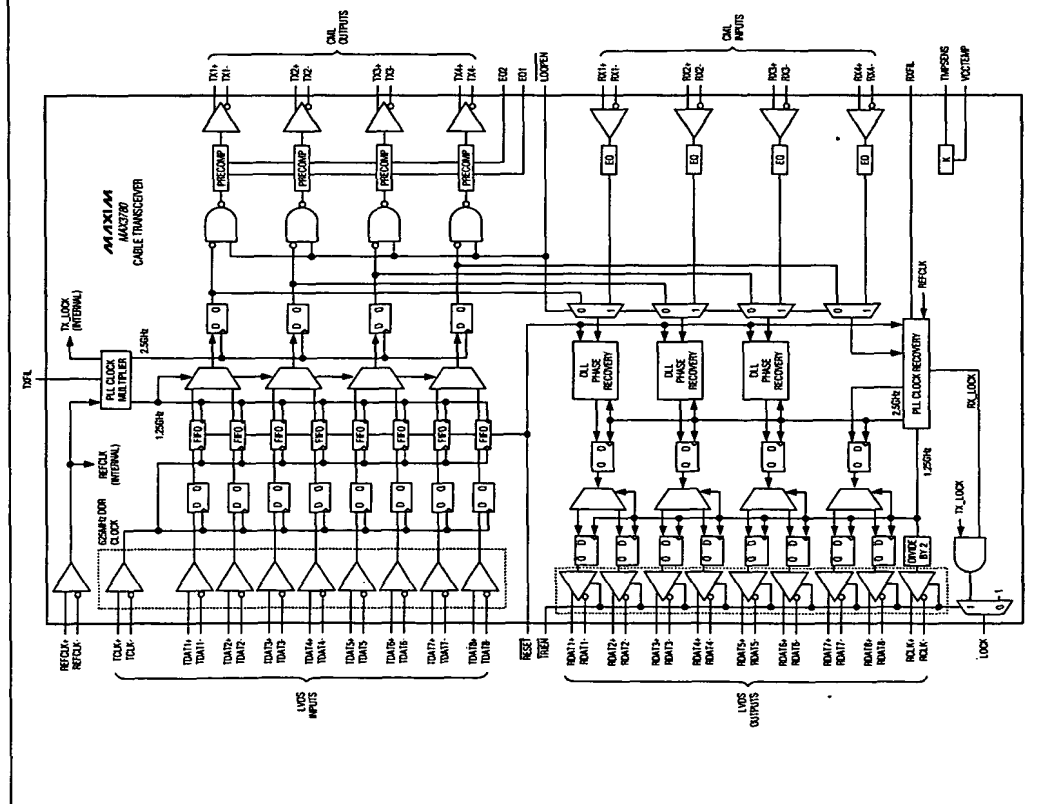


Figure 3. Functional Diagram

Quad 2.5Gbps Cable Transceiver

Table 1. Setting the CML Output Precompensation

RECOMMENDED CHANNEL	PRECOMPENSATION VALUE	EQ1	EQ2
Extended Range	30%	0	0
3m Cable	20%	0	1
1m Cable	10%	1	0
0.5m Cable or Fiber Module	Off	1	1

ment, and the DLLs only serve as adjustable delay lines to allow for different channels to have different (static) phase relationships.

CML Outputs with Precompensation
The serial outputs of the MAX3780 (TX1–TX4) are CML compatible. These outputs offer the best combination of low power dissipation, performance, and external component count. AC-coupling capacitors should always be used to provide immunity to common-mode voltage mismatches. The CML output structure is shown in Figure 4. For more information, refer to the applications note HFAN 01.0 *Introduction to LVDS, PECL, and CML*. Table 1 gives the amount of compensation for different EQ1 and EQ2 settings.

The CML data outputs have adjustable precompensation to compensate for cable and PC board trace losses. The cable and PC board traces have skin-effect and dielectric losses that attenuate high frequencies more than low frequencies. The precompensation FIR filter does the inverse. It attenuates low frequencies and boosts high frequencies. If precompensation is chosen to match the channel attenuation, the data at the end of the cable will be equalized.

CML Inputs with Equalization
The CML input structure, shown in Figure 5, provides low power dissipation and excellent performance. The CML inputs have integrated 50Ω termination resistors, reducing the external component count required for interfacing.

The CML inputs of the MAX3780 (RX1–RX4) provide equalization to further compensate for cable losses. The equalization circuit will typically add about 2dB of boost at 2GHz.

Lock Detection
The LOCK output indicates the state of both the transmitter and receiver PLLs. For lock detect to be asserted high, both the transmitter and receiver internal-lock indicators must be high for 394μs. The internal lock signals go high once frequency lock has been achieved. For LOCK to be asserted low, either the transmitter or receiver internal-lock indicators must be low for a minimum of 1053μs. LOCK is also asserted low when RESET is forced low. LOCK will stay low for a minimum of 394μs. For the lock detector to function properly, there must be data transitions at the RX4 input and a valid reference clock input. **Note:** The LOCK output is not an accurate indicator of signal presence at the receiver inputs. With no data input, the LOCK output can be high, low, or toggling.

PLL Clock Recovery
The phase-locked loop recovers a synchronous clock signal from the incoming serial data on RX4. This recovered clock is then used to retune all four channels of incoming serial data before demultiplexing. Phase alignment on channels RX1, RX2, and RX3 is achieved by using delay-locked loops. The typical loop bandwidth of the PLL clock recovery circuit is 1.5MHz.

Delay-Locked Loop (DLL) Phase Recovery
The delay-locked loops in the RX1, RX2, and RX3 receive path are used to phase align the incoming data to the clock generated by the PLL. Because all serial channels originate from the same source and travel down the same cable, it is assumed that the low-frequency jitter on channel 4 is common to all channels. This allows the PLL to maintain frequency/phase align-

Quad 2.5Gbps Cable Transceiver

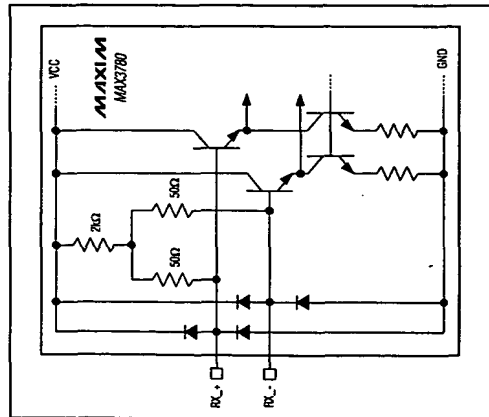


Figure 5. CML Input Structure

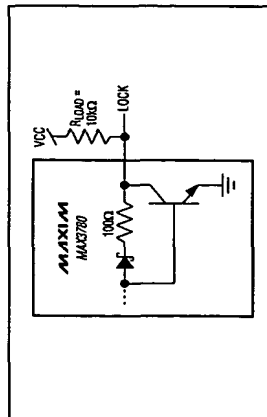


Figure 6. LOCK Output Structure

RESET Input
Approximately 10ms or longer after power-up, the RESET input should be asserted low. RESET must be held low for a minimum of four reference clock cycles for it to be properly asserted. RESET is used to reset the lock state, FIFO clock logic, and delay-lock loops.

MAX3780

Temperature Sensor
To aid in evaluation of thermal performance, a temperature sensor is incorporated into the MAX3780. The temperature sensor may be powered on or off regardless of the state of the rest of the chip. The VCCTEMP pin provides supply voltage for the temperature sensor circuit. The TMPSENS output is designed to output a voltage proportional to the die junction temperature (1mV per Kelvin). The temperature of the die can be estimated as:

$$T(^{\circ}\text{C}) = \text{TMPSENS}(\text{mV}) \times \frac{1^{\circ}\text{C}}{\text{mV}} - 273^{\circ}\text{C}$$

Applications Information

BER Calculation
Digital transmission systems will always, given enough time, have errors. This is due to the random nature of both voltage noise and timing noise, or jitter. In today's high performance digital transmission systems, we often try to measure bit error ratios (BERs) of lower than 1 error every 10,000,000,000 bits (BER < 10⁻¹⁰). Measuring such low error rates can prove to be problematic, since even at high data rates, the testing time required to obtain statistically significant results becomes impractical. (For more information, refer to HFTA-05.0 Statistical Confidence Levels for Calculating Error Probability.)

The MAX3780 serial interface operates at 2.5Gbps and is designed to operate with a BER better than 10⁻¹⁶ (1 error every 10,000,000,000,000 bits). This will give, on average, one error every 46 days on each 2.5Gbps channel. It is practically impossible to directly test such a low BER. For this reason, we turn to mathematics to ensure that this incredible BER is met.

The thermal noise in the MAX3780 serial channel is low (< 1mV_{RMS} in the CML receiver). The dominant voltage noise in the serial channel is due to crosstalk. The remaining impairments are various types of timing jitter due to clock nonidealities and data-dependent jitter. In this section, all calculations will be done in the time domain (similar to the draft technical report by ANSI T11.2, Project 1230, *Fibre Channel—Methodologies for Jitter Specification*) where timing jitter is applied directly and voltage noise is converted into an equivalent timing jitter. The equation relating timing jitter to error rate is below:

$$1U = 2D \cdot b_p + \alpha \times \sqrt{2R^2_{\text{RMS}}}$$

Quad 2.5Gbps Cable Transceiver

Table 2. Summary of Jitter Parameters Contributing to the BER Calculation

PARAMETER	DETERMINISTIC COMPONENTS		RANDOM COMPONENTS	
	TYPICAL (mUIp-p)	WORST-CASE (mUIp-p)	TYPICAL (mUI _{RMS})	WORST-CASE (mUI _{RMS})
Reference Clock—Random			0.19	0.38
Reference Clock—Deterministic				
Transmitter—Random	5	10		10
Transmitter—Oscillator Pulling	6.75	23.75		
Transmitter—Supply Noise	2.5	7.5		
Transmitter—Output Stage	37.5	62.5		
Channel—Cable Losses	50	112.5		
Channel—Crosstalk	28	56		
Channel—Mismatched Load	12.5	25		
Receiver—VCO Phase Noise			3.75	10
Receiver—Input-Referenced Noise			1.25	2.5
Receiver—Sampling Offset	187.5	387.5		
Receiver—Oscillator Pulling	7.5	15		
Receiver—Supply Noise	6.25	18.75		
TOTALS =	345.5	718.5	5.12	14.37
	TYPICAL	WORST-CASE		
	ALPHA =	19.8		
	BER =	5.7 x 10⁻²³		

Deterministic jitter and receiver sampling offset effectively reduce the amount of time that the receiver can sample without error. Errors occur at a rate determined by α :

$$\alpha = \frac{1 - 2D \cdot b_p}{\sqrt{2R^2_{\text{RMS}}}}$$

An $\alpha > 16.4$ corresponds to a BER < 10⁻¹⁶. Refer to Maxim applications note HFAN-4.0.2 *Converting Between RMS and Peak-to-Peak Jitter at a Specified BER*.

For a discussion of deterministic jitter and random jitter and the characteristics of each, refer to Maxim applications note HFAN-4.0.3 *Jitter in Digital Communication Systems, Part 1*.

Table 2 shows the deterministic and random components used in the BER calculation for the MAX3780. Typical and worst-case numbers are presented. The worst-case estimate represents a BER with greater than

6-sigma margin. Many of the worst-case components are uncorrelated variables that are taken to their individual 6-sigma limits.

In summary, the predicted worst-case BER = 10⁻²⁰. A typical channel will operate error free.

All transmitter and channel jitter components are compared to the jitter tolerance of the receiver by translating the components to equivalent phase error in the receiver. Low-frequency jitter components are tracked by the receive PLL, and therefore contribute little to the phase error. High-frequency jitter components (beyond the loop bandwidth of the receiver) are not tracked by the receive PLL, and therefore directly translate to phase error. The phase error transfer function is essentially equivalent to the inverse of the jitter tolerance versus frequency with the high-frequency portion normalized to unity.

Quad 2.5Gbps Cable Transceiver

Reference Clock—Random
A maximum random jitter of 1psRMS for frequencies less than 5kHz is stated as a requirement for the reference clock in the *Reference Clock Requirements* section. Combining the low-pass jitter transfer of the transmitter and the high-pass phase error transfer of the receiver results in a bandpass transfer function. For design margin, it is assumed that this deterministic jitter is within the bandpass frequency range. The typical deterministic component is 2psp-p (5mUIp-p) and the worst-case entry is 4psp-p (10mUIp-p).

Reference Clock—Deterministic
A maximum deterministic jitter of 20psp-p for frequencies greater than 5kHz is stated as a requirement for the reference clock in the *Reference Clock Requirements* section. Combining the low-pass jitter transfer of the transmitter and the high-pass phase error transfer of the receiver results in a bandpass transfer function. For design margin, it is assumed that this deterministic jitter is within the bandpass frequency range. The typical deterministic component is 2psp-p (5mUIp-p) and the worst-case entry is 4psp-p (10mUIp-p).

Transmitter—Random
This is the random jitter that results from the transmitter VCO phase noise and is an AC parameter guaranteed in the *AC Electrical Characteristics* table. Typical measured numbers are 1.3psRMS (3.3mUIRMS) and the worst-case specification is 4.0psRMS (10mUIRMS).

Transmitter—Deterministic

1) Oscillator Pulling
The transmitter and receiver integrated LC oscillators when running at small frequency differences will beat with each other at a rate equivalent to the frequency difference between the oscillators. *Typical Operating Characteristic* plot RX to TX VCO PULLING shows the typical transmitter jitter versus frequency difference. When referred to the phase error transfer, the deterministic jitter is typically 3.5psp-p (8.75mUIp-p) and 9.5psp-p (23.75mUIp-p) worst-case.

2) Supply Noise
Noise on the power supply will modulate the transmit PLL output according to the typical transfer curve shown in the *Typical Operating Characteristic* plot TRANSMITTER POWER-SUPPLY REJECTION. Combining this transfer function with the phase error transfer of the receiver results in a band-pass characteristic. At the peak of this band pass, the typical transfer is 100fs/mV and the worst-case transfer is 300fs/mV. Making the worst-case assumption that all the supply noise is at this peak with a value of 10mV results in typically 1psp-p (2.5mUIp-p) and worst-case 3psp-p (7.5mUIp-p).

3) Output Stage

Finite bandwidth and pulse-width distortion in the serial data stream. Characterization and simulation results tell us the deterministic jitter is typically 15psp-p (37.5mUIp-p) and 25psp-p (62.5mUIp-p) worst-case.

Channel—Deterministic

1) Cable Losses
The frequency-dependent skin-effect and dielectric losses in the cable (and PC board traces) will cause data-dependent jitter (also known as intersymbol interference). Adjustable transmit precompensation and fixed receiver boost is used to reduce the cable-induced jitter. However, there will always be some uncompensated jitter due to the cable and PC board trace losses. Characterization and simulation results tell us the deterministic jitter is typically 20psp-p (50mUIp-p) and 45psp-p (112.5mUIp-p) worst-case.

2) Crosstalk
The MAX3780 channel requirements allow for crosstalk of up to 5% to be present at the RX inputs. This is a peak-to-peak voltage measurement which refers to 5% of the transmitter amplitude. Characterization and simulation results tell us the deterministic jitter due to crosstalk is typically 11.2psp-p (28mUIp-p) and 22.4psp-p (56mUIp-p) worst-case.

3) Mismatched Load Jitter

Incorrect impedances in PC board traces, connectors, cables, and terminations can cause reflections that can, in turn, cause deterministic jitter. These effects are more pronounced on short cables (less attenuation of the reflection) where timing margins are highest. While measurements already account for termination effects, we have allocated an additional fixed budget for jitter induced by reflections. Characterization and simulation results tell us the deterministic jitter due to load mismatch is typically 5psp-p (12.5mUIp-p) and 10psp-p (25mUIp-p) worst-case.

Receiver—Random

1) VCO Phase Noise
This is the random jitter that results from the receiver VCO phase noise and is an AC parameter guaranteed in the *AC Electrical Characteristics* table. Typical measured numbers are 1.5psRMS (3.75mUIRMS) and the worst-case specification is 4psRMS (10mUIRMS).

MAX3780

2) Input-Referred Noise

All electronic circuits generate random noise. The input-referred noise voltage of the CML RX inputs is < 0.5mVRMS. This will contribute < 1psRMS jitter. In the BER calculation, it is assumed the jitter is typically 0.5psRMS (1.25mUIRMS) and 1psRMS (2.5mUIRMS) worst-case.

Receiver—Deterministic

1) Sampling Offset
The peak-to-peak sampling offset in the receiver is equal to 1UI minus the jitter tolerance minus the random jitter of the receiver. Removal of the random jitter is necessary since receiver VCO Phase Noise in Table 2 accounts for this. For simplicity, the random jitter portion will be assumed to be the typical measured value of 25psp-p (62.5mUIp-p). Using the numbers from the AC parameter electrical table, the typical sampling offset is calculated to be 187.5mUIp-p and the worst-case is 387.5mUIp-p.

2) Oscillator Pulling

The transmitter and receiver integrated LC oscillators, when running at small frequency differences, will beat with each other at a rate equivalent to the frequency difference between the oscillators. *Typical Operating Characteristic* plot TX to RX VCO PULLING shows the typical receiver jitter versus frequency difference. Typically the receiver oscillator pulling jitter is 3psp-p (7.5mUIp-p) and worst-case is 6psp-p (15.0mUIp-p).

3) Supply Noise

Noise on the power supply will modulate the receive PLL sampling point according to the typical transfer curve shown in *Typical Operating Characteristic* plot RECEIVER POWER-SUPPLY REJECTION. Using a typical transfer of 250fs/mV and a worst-case transfer of 750fs/mV with 10mV of supply noise results in 2.5psp-p (6.25mUIp-p) and 7.5psp-p (18.75mUIp-p) respectively.

Low-Voltage Differential Signal (LVDS) Inputs/Outputs

The MAX3780 has LVDS inputs and outputs for interfacing with high-speed digital circuitry. All LVDS inputs and outputs are compatible with the IEEE-1596.3 LVDS specification. This technology uses 250mV to 400mV differential low-voltage amplitudes to achieve fast transition times, minimize power dissipation, and improve noise immunity. For proper operation, the parallel clock and data LVDS outputs (RCLK+, RCLK-, RDAT+, RDAT-) require 100Ω differential DC terminations between the inverting and noninverting outputs. Do not

Quad 2.5Gbps Cable Transceiver

terminate these outputs to ground. The parallel data LVDS inputs (TCLK+, TCLK-, TDAT+, TDAT-) are internally terminated with 100Ω differential input resistance and therefore do not require external termination. The LVDS inputs must be biased for proper operation. DC-coupling LVDS outputs and inputs together provides sufficient biasing. When interfacing to laboratory test equipment, AC-coupling cannot be used. A signal source with DC offset must be used.

Layout Techniques
For best performance, use good high-frequency layout techniques. Filter voltage supplies, keep ground connections short, and use multiple vias where possible. Use controlled-impedance 50Ω transmission lines to interface with the MAX3780 high-speed inputs and outputs.

Place power-supply decoupling as close to VCC as possible. To reduce feedthrough, take care to isolate the input signals from the output signals.

Exposed-Pad (EP) Package
The exposed-pad 100-pin TQFP-EP incorporates features that provide a very low thermal resistance path for heat removal from the IC. The pad is electrical ground on the MAX3780 and must be soldered to the circuit board for proper thermal and electrical performance.

Quad 2.5Gbps Cable Transceiver

Channel Requirements

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Impedance		Differential		100		Ω
Through Loss at 1GHz	(S12, S21)	f = 1GHz, 3m channel	4.0	5.0	6.0	dB
		f = 1GHz, 1m channel	1.5	2.4	3.2	
		f = 1GHz, 0.5m channel	1.0	1.7	2.6	
Wideband Through Loss	(S12, S21)		See Figures 7-9			
Return Loss at 1GHz	(S11, S22)					dB
Wideband Return Loss	(S11, S22)				-12	
Channel Crosstalk		% of signal at aggressor. Near-end and far-end aggressors driven with 100ps (20% to 80%) edges. End of channel terminated with 100 Ω .			5	%

Reference Clock Requirements

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFCLK Frequency				125		MHz
REFCLK Frequency Tolerance			-100		+100	ppm
REFCLK Duty Cycle			40		60	%
REFCLK Jitter		f < 5kHz (jitter assumed Gaussian)			240	ps _{p-p}
					15	ps _{RMS}
		f > 5kHz (jitter is assumed deterministic, caused by power-supply noise and buffer jitter)			20	ps _{p-p}

Parallel Fiber Module Requirements

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Input Impedance			80	100	120	Ω
Transmitter Input Sensitivity	R _{IN}				300	mV _{p-p}
Total Jitter Generation		Deterministic and random jitter, peak-to-peak, (DJ + 16.4 \times R _{JRMS})			80	ps _{p-p}
Receiver Data Output Amplitude			300		800	mV _{p-p}
Differential Output Impedance		Differential	80	100	120	Ω
Channel-to-Channel Crosstalk	R _{OUT}				5	%

Quad 2.5Gbps Cable Transceiver

MAX3780

MAX3780

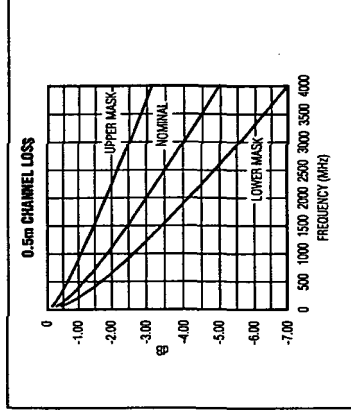


Figure 7. 0.5m Channel Loss Mask

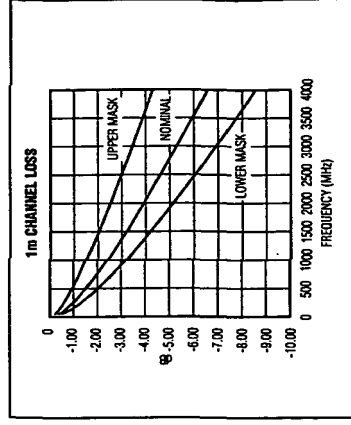


Figure 8. 1.0m Channel Loss Mask

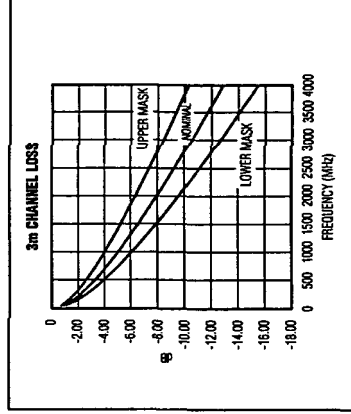


Figure 9. 3.0m Channel Loss Mask

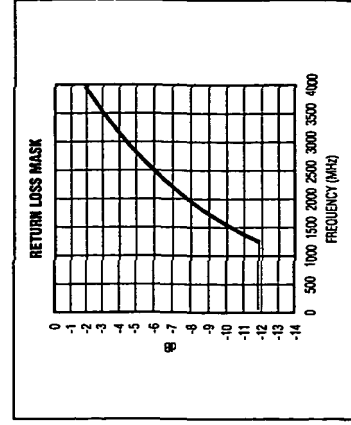
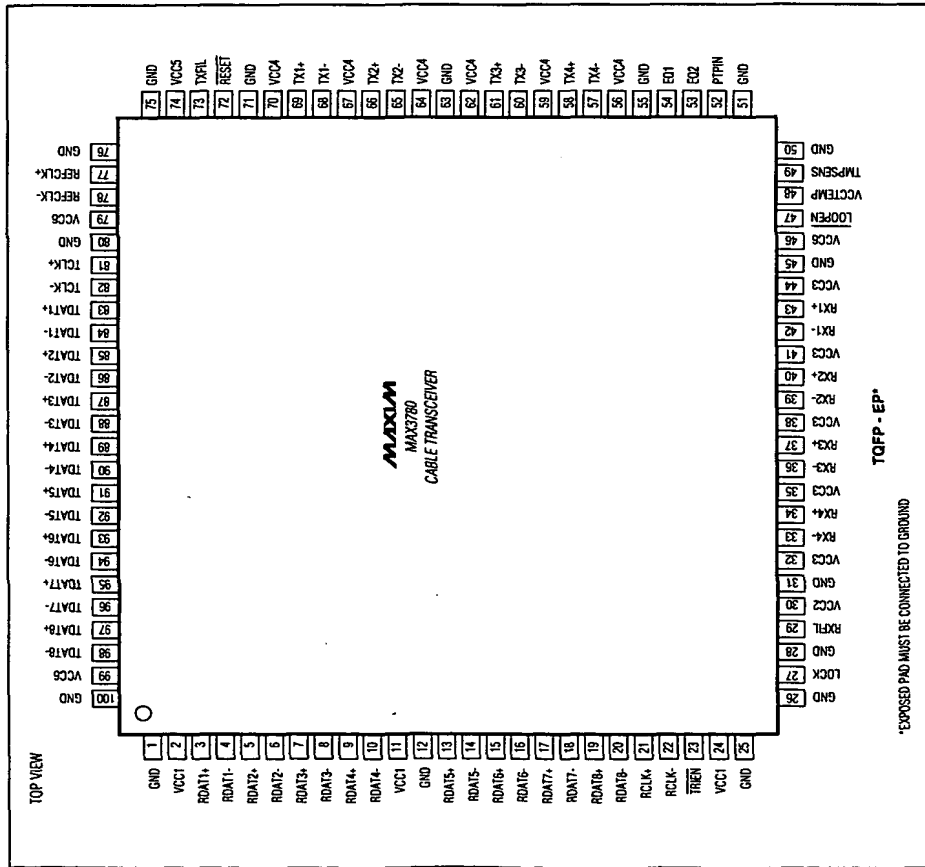


Figure 10. Channel Input Return Loss Mask

Quad 2.5Gbps Cable Transceiver

Pin Configuration



*EXPOSED PAD MUST BE CONNECTED TO GROUND

TOPP - EP*

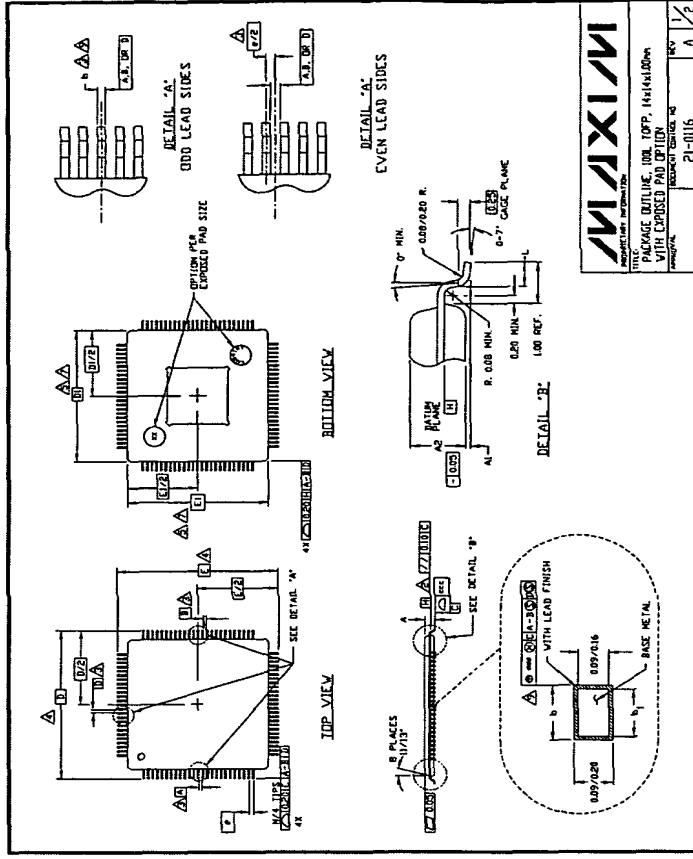
Chip Information

TRANSISTOR COUNT: 15,270
PROCESS: Bipolar

Quad 2.5Gbps Cable Transceiver

MAX3780

Package Information



Quad 2.5Gbps Cable Transceiver

Package Information (continued)

NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. DATUM PLANE [A] LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD ENITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DATUM [B] AND [D] TO BE DETERMINED AT CENTERING BETWEEN LEADS WHERE LEADS ENITS PLASTIC BODY AT DATUM PLANE [C].
4. TO BE DETERMINED AT SEATING PLANE [E].
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.254mm ON D1 AND E1 DIMENSIONS.
6. "N" IS THE TOTAL NUMBER OF TERMINALS.
7. THESE DIMENSIONS TO BE DETERMINED AT DATUM PLANE [F].
8. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.13mm.
9. DIMENSIONS b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION. DIMENSION b CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT.
10. CONTROLLING DIMENSION: MILLIMETER.
11. MAXIMUM ALLOWABLE DIE THICKNESS TO BE ASSEMBLED IN THIS PACKAGE FAMILY IS 0.50mm.
12. THIS OUTLINE IS NOT YET JEDEC REGISTERED.

ALL DIMENSIONS ARE IN MILLIMETERS					
	MIN.	NDK.	MAX.		
A	0.05		1.20		13
A1	0.05		0.15		
A2	0.95	1.00	1.05		
D		16.00 BSC.			4
D1		14.00 BSC.			7.8
E		16.00 BSC.			4
E1		14.00 BSC.			7.8
L	0.45	0.60	0.75		
b		0.50 BSC.			
b	0.17	0.22	0.27		9
b1	0.17	0.20	0.23		
ccc			0.08		
ddd			0.08		

MAXIM
MAXIM INTEGRATED PRODUCTS

PACKAGE OUTLINE 100L TQFP, 14x14x1.00mm WITH EXPOSED PAD OPTION	REV. 2
DATE	21-0116
BY	A
CHKD	Z

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 19

© 2001 Maxim Integrated Products Printed USA MAXIM is a registered trademark of Maxim Integrated Products.